

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device and its mounting approach for exchanging the electric signal of IC chip and a substrate through two or more bumps, especially relates to high density flip chip mounting technology.

[0002]

[Description of the Prior Art] Volume [of the Japan Institute of Metals report / 23rd] No. 12 generally used for the cross section of drawing 5 (a) and (b) from the former (1984) The procedure of flip chip mounting indicated by 1004-1013 pages is shown. that is, in flip chip mounting, membranes were formed by the IC chip 2 with vacuum deposition -- for example, - The bump 5 who consists of Pb-Sn solder with a diameter of about 100 micrometers is formed. On the other hand, the same bump 5 also as a substrate 1 is formed. Thus, the bump 5 on the formed IC chip 2 is positioned with the bump 5 on a substrate 1. Before the alignment at this time compares and carries out, a half mirror is used for it and it performs it. Then, junction will be completed if heating fusion is compared and carried out. If the solder bump 5 fuses, self-alignment of her will be carried out to an exact location by the surface tension of solder. In addition, even if the above-mentioned bump 5 is formed in either the IC chip 2 or the substrate 1, she can expect the almost same effectiveness. In addition, 3 is an I/O electrode and 4 is a thin film.

[0003] Moreover, there is a semiconductor device indicated by JP,4-155866,A about flip chip mounting aiming at densification. That is, in the photo diode for ultra high-speed optical communication, since a bump's diameter becomes small with about 30 micrometers and the self-alignment method by surface tension becomes difficult, the option is proposed. The equipment shown in type section drawing of drawing 6 here is shown. According to this, the concave gilding 4 is formed in the electrode 3 on OEIC1, and Sn8 is vapor-deposited in this. The gilding 4 of a convex form is formed in the electrode 3 on ***** and photo diode 2. such equipment -- setting -- concave convex type -- highly precise alignment can perform each gilding by the fit, an Au-Sn eutectic alloy is formed by heating, and it is supposed that junction can be attained.

[0004]

[Problem(s) to be Solved by the Invention] However, if the approach shown in drawing 5 to densification is used, since bump size will become small, positioning becomes difficult, and since it becomes small [surface tension], it becomes impossible to expect sufficient self-alignment effectiveness, and desired bump connecting becomes impossible. Consequently, the problem that the yield falls substantially arises.

[0005] On the other hand, by the approach shown in drawing 6 as a densification response, since bump formation of a complicated configuration is needed, it can use for connection of expensive IC chips, such as semiconductor laser. Moreover, although the check of a location becomes comparatively easy and the dependability of connection improves, since it connects in the state of solid phase using a fit, the positioning equipment of the high degree of accuracy of 10 micrometers or less of errors is indispensable, also raises mounting cost, and cannot be applied to general-purpose component mounting.

[0006] flip chip mounting which it was made in order that this invention might solve this trouble, and carried out densification -- also setting -- easy -- and dependability -- a highly connectable general-purpose semiconductor device and its mounting approach are offered.

[0007]

[Means for Solving the Problem] The semiconductor device of this invention consists of the second bump with small size with the high melting point from the first bump who performs self-alignment for the bump who connects IC chip and a substrate, and this first bump.

[0008] Moreover, the process which forms the first bump material by which the mounting approach of the semiconductor device of this invention forms the first bump of after fused junction in IC chip or a substrate, and the second bump material which forms the second bump of after fused junction, Melting and the process which pressurizes and forms the second bump are given to the process and list which are made to carry out melting only of the first bump material, form the first bump and carry out high-degree-of-accuracy positioning of the above-mentioned IC chip for the first bump of after a positioning process, and the second bump material.

[0009] Furthermore, the process which it cools [process] after removing welding pressure, where melting of the first and

the second bump is carried out, and makes a bump solidify is given.

[0010] And the first bump material and the second bump material are formed in either IC chip or a substrate with the same ingredient at the same height, and only the first bump material was formed in another side with the above-mentioned ingredient and a different ingredient.

[0011]

[Function] In the semiconductor device of this invention, the melting point performs self-alignment by the first low bump with large size, easily, positioning connection is made and connection of high density is made to high degree of accuracy using the second bump with small size with the high melting point.

[0012] Moreover, in the mounting approach, melting only of the first bump material is carried out first, and ** can also perform high-degree-of-accuracy positioning by self-alignment not using highly precise positioning equipment. Next, since melting and application-of-pressure contact of the second bump material are carried out and it connects, it can prevent that the second bump material is in a solid phase condition, and the second bump is accidentally connected at the time of self-alignment, and it is possible with high dependability with the second bump. [of connection of high density]

[0013] Furthermore, since it cooled after removing welding pressure, where melting of the first and the second bump is carried out, and the bump was made to solidify, in addition to the aforementioned operation, a bump's configuration can be controlled, and the long-term dependability of a joint improves.

[0014] And the first bump material and the second bump material are formed in either IC chip or a substrate with the same ingredient at the same height, only the first bump material is formed in another side with the above-mentioned ingredient and a different ingredient, and the formation process of bump material can be simplified.

[0015]

[Example] The example of this invention is explained about drawing below example 1. Drawing 1 (a) - (c) is the cross section showing the semiconductor device and its mounting approach of one example of this invention in order of a process. The thin film with which it consists of Au in order to secure the adhesion by which IC chip and 3 were formed in the I/O electrode, and 4 was formed [1] for a substrate and 2 on the I/O electrode 3 in drawing, 5A by which the first bump who consists of solder of Pb40Sn60 whose melting point is 190 degrees C in order that 5 may perform self-alignment, and 5a were formed in the IC chip 2 is the first bump material formed in the substrate 1. In this case, it is 100 micrometers in the diameter of 100 micrometers, and height, respectively, and consists of solder of same Pb40Sn60 as the first bump 5, 6A by which the second bump which 6 becomes from Pb70Sn30 with the high melting point and size smaller than the first bump 5 whose melting point is 260 degrees C, for example, and 6a were formed in the IC chip 2 is the second bump material formed in the substrate 1, in this case, is 30 micrometers in the diameter of 30 micrometers, and height, respectively, and consists of same Pb70Sn30 as the second bump 5. 7 is the welding pressure for contacting the second bump.

[0016] First, Pb of the above-mentioned presentation of the first bump material 5a and 5A and the second bump material 6a and 6A and Sn are formed on a substrate 1 and the IC chip 2 by carrying out heating fusion in nitrogen-gas-atmosphere mind, after changing thickness and carrying out laminating vacuum evaporation, respectively. The IC chip 2 is positioned and it is made to contact on a substrate 1 (drawing 1 (a)). Although the first bump material 5a and 5A contacts at this time, the second bump material 6a and 6A is maintained at the condition of having still separated. Next, it heats at 210 degrees C with a hot plate below at the second bump's 6a and 6A, i.e., the second bump material, melting point more than the first bump's 5a and 5A, i.e., the first bump material, melting point. As a result, only the first bump material 5a and 5A fuses, and is connected, and the first bump 5 is formed (drawing 1 (b)). Under the present circumstances, it is positioned by high degree of accuracy by self-alignment. Furthermore, it connects more than with the melting point of the second bump material 6a and 6A, for example, 280 degrees C, by making it heat and contact, and the second bump 6 is formed (drawing 1 (c)). In addition, in order for the first bump 5 to maintain a certain fixed height with surface tension at this time, and to contact the second bump material 6a and 6A, it is necessary to pressurize the IC chip 2. Although the temperature of a hot plate may be rapidly raised in order to heat the second bump material 6a and 6A more than the melting point for example, it is more desirable to carry out instant heating of the application-of-pressure fixture generally, since heat capacity of a hot plate is large. Consequently, even if two or more IC chips 2 are carried on the substrate 1, high density junction is attained one by one by using a heating [application of pressure-cum-] fixture. Connection is completed by cooling, where the IC chip 2 is pressurized.

[0017] In this example, the melting point carries out melting of the first low bump with large size, i.e., the first bump material, and positioning connection is easily made also as for ** to high degree of accuracy by self-alignment not using highly precise positioning equipment. Under the present circumstances, it is in a solid phase condition, and the second bump material can prevent that the second bump is connected accidentally, it fuses the second bump material in the condition of subsequently having been positioned, and connection of high density can do it with high dependability easily by the second bump with small size with the high melting point. High density flip chip mounting can be performed without producing a connection mistake by self-alignment with conventional equipment, even if it does not use high-degree-of-accuracy positioning equipment.

[0018] Other examples of the mounting approach of the semiconductor device shown in example 2. drawing 1 are explained. Although it is the same as that of the process of the above-mentioned example 1 until it heats more than the second bump's 6 melting point, after the first bump 5 and the second bump 6 have fused, welding pressure is removed, it cools, and a bump is made to solidify. It ** and, only in the part of welding pressure, the height of the first bump 5 and the second bump 6 becomes high. At this time, it becomes possible by designing the number and size of the first bump 5,

the second bump 5a and 6 5A, i.e., the first bump material, and the second bump material 6a and 6A from keeping of the force to control the second bump's 5 and 6 configuration for a start so that the second bump 6 is narrow and may not dissociate. it is known well that a bump's configuration will influence the long-term dependability of a joint -- **** (refer to volume [of the Japan Institute of Metals report / 23rd] No. 12) -- large reinforcement can be attained by using the configuration of the second bump 6 with small size as the so-called hard drum form.

[0019] Next, the cross section of drawing 2 (a) - (c) explains the effectiveness of the self-alignment in the mounting approach of the semiconductor device of the above-mentioned example. Here, it is a diameter as size of the first bump material 5a and 5A. About 40 micrometers is assumed as a distance between the diameter of 50 micrometers, and a bump as size of 100 micrometers and the second bump material 6a, 6A, 6b, and 6B. As shown in drawing 2 (a), supposing 30 micrometers of bump location gaps occur in a longitudinal direction at the cross direction of 60 micrometers and space, although the first bump 5 contacts the predetermined bump material 5a and 5A, respectively, the circuit where the second bump 6 differs from a design will be formed by the second bump material 6B and 6a. However, the circuit which the second bump material 6B and 6a of the solid phase condition which surface tension commits in the direction shown by the arrow head when the first bump 5 fuses, as shown in drawing 2 (b), and surface tension does not commit mistook is opened. Consequently, self-alignment becomes possible as shown in drawing 2 (c). Furthermore, connection is completed by making it heat and contact more than the second bump's melting point. thus, the face down assembly by the flip chip -- setting -- the densification of 50-micrometer pitch level -- dependability -- it can carry out highly.

[0020] Moreover, if effective surface tension works in the above-mentioned example although the first bump 5a and 5 5A, i.e., the first bump material, was formed in the corner of the IC chip 2 as shown in drawing 1 and drawing 2, it will not necessarily limit here. Namely, as shown in the top view of drawing 3 (a) and (b), wherever the bump may be formed in [within IC chip side] about the parallel location gap, the same surface tension works. However, although it works as a turning effort about a hand of cut around IC chip, it is ineffective at the core. Therefore, the first bump's 5 location and a configuration are arranged in consideration of the above point.

[0021] Moreover, since it works by each bump, it has surface tension by total of that force and the IC chip 2 is moved, the number of the first bumps 5 can be easily designed, if this point is taken into consideration.

[0022] In addition, although the first bump's 5a and 5 5A, i.e., the first bump material, configuration was explained as a globular form in drawing 1 and the above-mentioned example of drawing 2, it does not restrict to this configuration, and with the first bump's 5 surface tension, the IC chip 2 moves and high-degree-of-accuracy positioning is just performed. For example, also by making it two or more rectangular parallelepipeds which met near the periphery of the IC chip 2, surface tension works and self-alignment becomes possible. However, since floating of a bump ingredient will arise, the path clearance between a substrate 1 and the IC chip 2 will change and it will become a defect's cause if a bump becomes long, caution is required.

[0023] Moreover, although a solder bump's case was explained in the above-mentioned example, it cannot be overemphasized that it can form by approaches, such as vacuum evaporation, and the same effectiveness can be expected also in other ingredients other than solder.

[0024] Moreover, although the case where bump material was formed in both IC tip side a substrate side in the above-mentioned example was explained, it is not necessary to necessarily form in both, and should form in either at least.

[0025] Furthermore, although the case where bump material was formed with the same ingredient as a bump in the above-mentioned example was explained, bump material is used as a different ingredient from a bump, and you may make it become a desired bump ingredient (presentation) by the bump material of IC tip side a substrate side.

[0026] example 3. -- the cross section of drawing 4 explains this example. Only the first bump material 5A and 5B is formed in a substrate 1 side, and the first bump material 5a and 5b and the second bump material 6a and 6b are formed in the IC chip 2 side. As an ingredient, Sn is selected to the first bump material 5A and 5B by the side of a substrate 1, and 95Pb(s)5Sn is selected, respectively to the first bump material 5a and 5b by the side of the IC chip 2, and the second bump material 6a and 6b, for example. Although it is the same as that of the above, since the ingredients of the first bump material differ by IC tip side a substrate side, the first bump material 5A and 5B by the side of a substrate 1 and the first bump material 5a and 5b of IC tip side react first with heating, and the manufacture approach at the time of constituting the above semiconductor devices becomes the alloy presentation of PbSn, and is fused. It is controllable by the size of each first bump material by the side of a substrate 1 and the IC chip 2, the presentation ratio, i.e., the melting point, of this PbSn by which shaping was carried out, i.e., the first bump. For example, if size is the same at the above-mentioned presentation, for the first bump, the melting point is abbreviation by the presentation of Pb47.5Sn52.5. It becomes 200 degrees C, and becomes lower than the second bump's, i.e., the second bump material, melting point (abbreviation 310 degrees C), and size doubles. Next, it connects by carrying out heating / application-of-pressure contact more than the second bump's melting point. If a semiconductor device is constituted so that size may become [the melting point] higher [the second bump] than the first bump small in short, the same effectiveness as the above-mentioned example will be acquired. In addition, in this example, since the part which forms bump material, and the class of bump material were specified, it writes well only by forming the bump material of the same class and the same height in each IC tip side a substrate side, the formation process of bump material can be simplified, and industrial value improves substantially.

[0027] In addition, although the first bump and the second bump formed on the I/O electrode in the above-mentioned example, it does not interfere as a bump on the I/O electrode which performs the dummy bump for positioning for the first bump, and exchanges the electric signal of IC chip and a substrate for the second bump.

[0028]

[Effect of the Invention] Since it was made to constitute from the first bump who performs self-alignment for the bump to whom the semiconductor device of this invention connects IC chip and a substrate, and the second bump with small size with the melting point higher than this first bump as explained above, self-alignment is performed by the first bump, and easily, positioning connection is made at high degree of accuracy, connection of high density can be performed using the second bump, and it can respond to the densification of mounting. High density flip chip junction can be performed without producing a connection mistake by self-alignment with conventional equipment, even if it does not use high-degree-of-accuracy positioning equipment.

[0029] Moreover, the mounting approach of the above-mentioned semiconductor device is IC chip or a substrate. The process which forms the first bump material which forms the first bump of after fused junction, and the second bump material which forms the second bump of after fused junction, Melting and the process which pressurizes and forms the second bump are given to the process and list which are made to carry out melting only of the first bump material, form the first bump and carry out high-degree-of-accuracy positioning of the above-mentioned IC chip for the first bump of after a positioning process, and the second bump material.

[0030] Furthermore, since it cools after removing welding pressure, where melting of the first and the second bump is carried out, and it was made to make a bump solidify, dependability can be improved by controlling the configuration of the bump after connection over a long period of time.

[0031] And since the first bump material and the second bump material are formed in either IC chip or a substrate with the same ingredient at the same height and only the first bump material was formed in another side with the above-mentioned ingredient and a different ingredient, the formation process of bump material can be simplified.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by constituting the above-mentioned bump from the first bump who performs self-alignment, and this first bump by the second bump with small size with the high melting point in the semiconductor device which exchanges the electric signal of IC chip and a substrate through two or more bumps.

[Claim 2] In the mounting approach of a semiconductor device that a substrate is joined to IC chip through the first given in the 1st term of a claim, and the second bump The process which forms the first bump material which forms the first bump of after fused junction in the above-mentioned IC chip or a substrate, and the second bump material which forms the second bump of after fused junction, The mounting approach of the process which is made to carry out melting only of the first bump material, forms the first bump and carries out high-degree-of-accuracy positioning of the above-mentioned IC chip, and the semiconductor device characterized by giving melting and the process which pressurizes and forms the second bump to a list for the first bump of after a positioning process, and the second bump material.

[Claim 3] The mounting approach of the semiconductor device given in the 2nd term of a claim characterized by giving the process which it cools [process] after removing welding pressure, where melting of the first and the second bump is carried out, and makes a bump solidify.

[Claim 4] The 2nd term of a claim characterized by forming the first bump material and the second bump material in either IC chip or a substrate with the same ingredient at the same height, and forming only the first bump material in another side with the above-mentioned ingredient and a different ingredient, or the mounting approach of a semiconductor device given in the 3rd term.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the mounting approach of the semiconductor device of one example of this invention in order of a process.

[Drawing 2] It is a cross section explaining the actuation concerning the mounting approach of the semiconductor device of this invention.

[Drawing 3] It is a top view explaining the first bump's location and the effectiveness of self-alignment concerning this invention.

[Drawing 4] It is the cross section showing the mounting approach of the semiconductor device of other examples of this invention.

[Drawing 5] It is the cross section showing the mounting approach of the conventional semiconductor device in order.

[Drawing 6] It is the cross section showing the conventional semiconductor device by which densification was carried out.

[Description of Notations]

1 Substrate

4 Thin Film

5 First Bump

5a, 5A, 5b, 5B First bump material

6 Second Bump

6a, 6A, 6b, 6B Second bump material

7 Welding Pressure

[Translation done.]

PAT-NO: JP406112463A

DOCUMENT-IDENTIFIER: JP 06112463 A

TITLE: SEMICONDUCTOR DEVICE AND MOUNTING
METHOD THEREOF

PUBN-DATE: April 22, 1994

INVENTOR-INFORMATION:

NAME

KASHIBA, YOSHIHIRO

IDETA, GORO

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP04256219

APPL-DATE: September 25, 1992

INT-CL (IPC): H01L027/14, H01L021/60 , H01L021/321 ,
H01L027/15

US-CL-CURRENT: 257/778

ABSTRACT:

PURPOSE: To provide a semiconductor device where flip chips are easily mounted high in density and a mounting method thereof.

CONSTITUTION: First bumps 5 and second bumps 6 smaller than

the first bumps

5 in size but higher in melting point are provided between an IC chip 2 and a

first bump 5. First of all, a self-alignment process is carried out when the

first bumps 5 are formed by fusing, and then the IC chip 2 and the board 1 are

very precisely positioned and connected. Then, the IC chip 2 and the board 1

are connected high in density with the second bumps 6.

COPYRIGHT: (C)1994,JPO&Japio

DERWENT-ACC-NO: 1994-171589

DERWENT-WEEK: 200323

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Semiconductor flip chip and mount for transmitting
electrical signals - has bumps which perform
self-alignment of chip with high precision

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1992JP-0256219 (September 25, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
<u>JP 06112463 A</u>	April 22, 1994	N/A	007
H01L 027/14			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06112463A	N/A	1992JP-0256219	September 25, 1992

INT-CL (IPC): H01L021/321, H01L021/60 , H01L027/14 ,
H01L027/15

ABSTRACTED-PUB-NO: JP 06112463A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1a,b,c

TITLE-TERMS: SEMICONDUCTOR FLIP CHIP MOUNT TRANSMIT
ELECTRIC SIGNAL BUMP

PERFORMANCE SELF ALIGN CHIP HIGH PRECISION

DERWENT-CLASS: U11

EPI-CODES: U11-D03B1; U11-E01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-135352

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-112463

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 27/14				
21/60	3 1 1 S	6918-4M		
21/321				
		7210-4M	H 0 1 L 27/ 14	Z
		9168-4M	21/ 92	C

審査請求 未請求 請求項の数4(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-256219

(22)出願日 平成4年(1992)9月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 加柴 良裕

尼崎市塚口本町8丁目1番1号 三菱電機

株式会社生産技術研究所内

(72)発明者 出田 吾朗

尼崎市塚口本町8丁目1番1号 三菱電機

株式会社生産技術研究所内

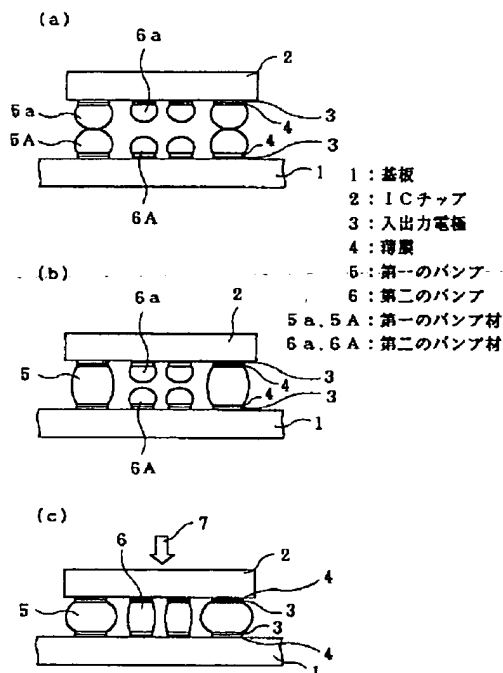
(74)代理人 弁理士 高田 守

(54)【発明の名称】 半導体装置及びその実装方法

(57)【要約】

【目的】 高密度フリップチップ実装が容易な半導体装置及びその実装方法を提供する。

【構成】 ICチップ2と基板1間に第1の bumps 5と、これより融点が高くサイズの小さい第2の bumps 6を配設する。まず、第1の bumps 5溶融形成時にこれによりセルフアライメントを行い、両者を高精度に位置決め接続する。次に第2の bumps 6により高密度に接続する。



【特許請求の範囲】

【請求項1】 複数のバンパを介してICチップと基板との電気的信号のやりとりを行う半導体装置において、上記バンパをセルフアライメントを行う第一のバンパ、及びこの第一のバンパより融点が高くサイズの小さい第二のバンパで構成するようにしたことを特徴とする半導体装置。

【請求項2】 請求項第1項記載の第一及び第二のバンパを介してICチップと基板が接合される半導体装置の実装方法において、上記ICチップまたは基板に溶融接合後第一のバンパを形成する第一のバンパ材と溶融接合後第二のバンパを形成する第二のバンパ材を形成する工程、第一のバンパ材のみを溶融させて第一のバンパを形成し上記ICチップの高精度位置決めをする工程、並びに位置決め工程後第一のバンパ及び第二バンパ材を溶融・加圧し第二のバンパを形成する工程を施すことを特徴とする半導体装置の実装方法。

【請求項3】 第一及び第二のバンパを溶融させた状態で加圧力を除去した後冷却しバンパを凝固させる工程を施すことを特徴とする請求項第2項記載の半導体装置の実装方法。

【請求項4】 ICチップまたは基板のいずれか一方に第一のバンパ材と第二のバンパ材を同じ材料で同じ高さに形成し、他方には第一のバンパ材のみを上記材料と異なる材料で形成するようにしたことを特徴とする請求項第2項または第3項記載の半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数のバンパを介してICチップと基板との電気的信号のやりとりを行うための半導体装置及びその実装方法に係り、特に高密度フリップチップ実装技術に関する。

【0002】

【従来の技術】 図5(a)(b)の断面模式図に、従来から一般的に用いられている、例えば日本金属学会会報第23巻第12号(1984)1004~1013頁に記載されたフリップチップ実装の手順を示す。即ち、フリップチップ実装においてはICチップ2に例えば蒸着法によって成膜された、例えば直径100 μ m程度のPb-Snはんだから構成されるバンパ5を形成しておく。一方、基板1にも同様のバンパ5を形成する。このようにして形成されたICチップ2上のバンパ5を基板1上のバンパ5と位置決めする。このときの位置合わせは、突き合わせする前にハーフミラーを用いて行う。この後、突き合わせて加熱溶融すると接合が完了する。はんだバンパ5は溶融するとはんだの表面張力によって正確な位置にセルフアライメントされる。なお、上記バンパ5はICチップ2もしくは基板1のいずれか一方に形成されていてもほぼ同様の効果が期待できる。なお、3は入出力電極、4は薄膜である。

【0003】 また、高密度化を目的としたフリップチップ実装に関しては特開平4-155866号公報に記載された半導体装置がある。すなわち、超高速光通信用のホトダイオードではバンパの直径が30 μ m程度と小さくなり、表面張力によるセルフアライメント方式が困難となるため、別の方法が提案されている。図6の模式断面図に、ここで示された装置を示す。これによれば、OEIC1上の電極3に凹形の金めっき4を形成し、この中にSn8を蒸着する。いっぽう、ホトダイオード2上の電極3には凸形の金めっき4を形成する。このような装置においては、凹形凸形それぞれの金めっきが、はめ合いにより高精度な位置合わせができ、加熱によりAu-Sn共晶合金が形成され接合が達成できるとされている。

【0004】

【発明が解決しようとする課題】 しかしながら、高密度化に対して図5に示した方法を用いると、バンパサイズが小さくなるため、位置決めが困難となり、かつ表面張力も小さくなるため十分なセルフアライメント効果が期待できなくなり、所望のバンパ接続が不可能となる。その結果、歩留まりが大幅に低下するという問題が生ずる。

【0005】 一方、高密度化対応として図6に示した方法では、複雑な形状のバンパ形成が必要となるため、半導体レーザ等の高価なICチップの接続用にしか用いることができない。また、位置の確認は比較的容易になり、接続の信頼性は向上するものの、固相状態ではめ合いを利用して接続するため、誤差10 μ m以下の高精度の位置決め装置は不可欠であり、実装コストもアップし汎用の部品実装には適用できない。

【0006】 本発明は、かかる問題点を解決するためになされたものであり、高密度化したフリップチップ実装においても、容易にかつ信頼性高く接続できる汎用的な半導体装置及びその実装方法を提供するものである。

【0007】

【課題を解決するための手段】 本発明の半導体装置は、ICチップと基板とを接続するバンパをセルフアライメントを行う第一のバンパ、及びこの第一のバンパより融点が高くサイズの小さい第二のバンパで構成するようにしたものである。

【0008】 また、本発明の半導体装置の実装方法は、ICチップまたは基板に溶融接合後第一のバンパを形成する第一のバンパ材と溶融接合後第二のバンパを形成する第二のバンパ材とを形成する工程、第一のバンパ材のみを溶融させて第一のバンパを形成し上記ICチップの高精度位置決めをする工程、並びに位置決め工程後第一のバンパ及び第二のバンパ材を溶融・加圧し第二のバンパを形成する工程を施すものである。

【0009】 さらに、第一及び第二のバンパを溶融させた状態で加圧力を除去した後冷却しバンパを凝固させる工程を施す。

3

【0010】そして、ICチップまたは基板のいずれか一方に第一のバンパ材と第二のバンパ材とを同じ材料で同じ高さに形成し、他方には第一バンパ材のみを上記材料と異なる材料で形成するようにした。

【0011】

【作用】本発明の半導体装置においては、融点が低くサイズの大きい第一のバンパでセルフアライメントを行い容易に高精度に位置決め接続でき、融点が高くサイズの小さい第二のバンパを用いて高密度の接続ができる。

【0012】また、実装方法においては、まず第一のバンパ材のみを溶融させて高精度な位置決め装置を用いずともセルフアライメントによる高精度位置決めができる。次に第二のバンパ材を溶融・加圧接触させて接続するため、セルフアライメント時には第二のバンパ材は固相状態であり、第二のバンパが誤って接続されることを防止でき、高い信頼性で第二のバンパにより高密度の接続ができる。

【0013】さらに、第一及び第二のバンパを溶融させた状態で加圧力を除去した後冷却し、バンパを凝固させたため、前記の作用に加えてバンパの形状を制御でき、接合部の長期信頼性が向上する。

【0014】そして、ICチップまたは基板のいずれか一方に第一バンパ材と第二バンパ材を同じ材料で同じ高さに形成し、他方には第一バンパ材のみを上記材料と異なる材料で形成しており、バンパ材の形成プロセスが簡略化できる。

【0015】

【実施例】実施例1. 以下、本発明の実施例を図について説明する。図1(a)~(c)は本発明の一実施例の半導体装置、及びその実装方法を工程順に示す断面模式図である。図において、1は基板、2はICチップ、3は入出力電極、4は入出力電極3上に形成された密着性を確保するための例えばAuからなる薄膜、5はセルフアライメントを行うための例えば融点が190℃のPb40Sn60のはんだからなる第一のバンパ、5aはICチップ2に形成された、5Aは基板1に形成された第一のバンパ材で、この場合はそれぞれ直径100μm、高さ100μmで、第一のバンパ5と同じPb40Sn60のはんだからなる。6は第一のバンパ5より融点が高くサイズの小さい例えば融点が260℃のPb70Sn30からなる第二のバンパ、6aはICチップ2に形成された、6Aは基板1に形成された第二のバンパ材で、この場合はそれぞれ直径30μm、高さ30μmで、第二のバンパ5と同じPb70Sn30からなる。7は第二のバンパを接触させるための加圧力である。

【0016】まず、第一のバンパ材5a、5A、第二のバンパ材6a、6Aを上記組成のPb、Snをそれぞれ厚さを変えて積層蒸着したのち窒素雰囲気中で加熱溶融することによって基板1とICチップ2上に形成する。基板1上にICチップ2を位置決めし、接触させる(図

4

1(a))。このとき第一のバンパ材5a、5Aは接触するが、第二のバンパ材6a、6Aはまだ離れた状態に保たれる。次に第一のバンパ5、即ち第一のバンパ材5a、5Aの融点以上、第二のバンパ6、即ち第二のバンパ材6a、6Aの融点以下に例えばホットプレートによって210℃に加熱する。その結果第一のバンパ材5a、5Aのみが溶融し接続され、第一のバンパ5が形成される(図1(b))。この際、セルフアライメントにより高精度に位置決めされる。さらに第二のバンパ材6a、6Aの融点以上、例えば280℃に加熱・接触させることによって接続し第二のバンパ6を形成する(図1(c))。なお、このとき、第一のバンパ5は表面張力によってある一定の高さを維持するため、第二のバンパ材6a、6Aを接触させるためにはICチップ2を加圧してやる必要がある。第二のバンパ材6a、6Aを融点以上に加熱するには、例えばホットプレートの温度を急激に上昇させても良いが、一般的にはホットプレートは熱容量が大きいので、加圧治具を瞬時加熱する方が好ましい。この結果、基板1上に複数のICチップ2が搭載されていても、加圧兼加熱治具を用いることによって順次高密度接合が可能となる。ICチップ2を加圧した状態にて冷却することによって、接続は完了する。

【0017】この実施例においては、融点が低くサイズの大きい第一のバンパ、即ち第一のバンパ材のみを溶融させて高精度な位置決め装置を用いずともセルフアライメントにより容易に高精度に位置決め接続ができる。この際、第二のバンパ材は固相状態であり、第二のバンパが誤って接続されることを防止でき、次いで位置決めされた状態で第二のバンパ材を溶融し融点が高くサイズの小さい第二のバンパにより容易に高い信頼性で高密度の接続ができる。高精度位置決め装置を用いなくとも従来の装置でセルフアライメントによって接続ミスを生じることなく高密度フリップチップ実装ができる。

【0018】実施例2. 図1に示す半導体装置の実装方法の他の実施例を説明する。第二のバンパ6の融点以上に加熱するまでは上記実施例1のプロセスと同様であるが、第一のバンパ5、第二のバンパ6が溶融した状態で加圧力を取り除き、冷却しバンパを凝固させる。而して加圧力の分だけ第一のバンパ5、第二のバンパ6の高さが高くなる。この時、第二のバンパ6がくびれて分離しないよう、第一のバンパ5と第二のバンパ6、即ち第一のバンパ材5a、5A、第二のバンパ材6a、6Aの数とサイズを力の釣合から設計してやることによって、第一、第二のバンパ5、6の形状をコントロールすることが可能となる。バンパの形状が接合部の長期信頼性に影響することは、良く知られている(日本金属学会会報第23巻第12号参照)が、サイズの小さい第二のバンパ6の形状をいわゆる鼓形にすることによって大幅な長寿命化が図れる。

【0019】次に、上記実施例の半導体装置の実装方法

におけるセルフアライメントの効果を図2(a)~(c)の断面模式図により説明する。ここでは例えば、第一のバンパ材5a、5Aのサイズとして直径100 μ m、第二のバンパ材6a、6A、6b、6Bのサイズとして直径50 μ m、バンパ間の距離として40 μ m程度を想定する。図2(a)に示すようにバンパ位置ずれが横方向に60 μ m、紙面の前後方向に30 μ m発生したとすると、第一のバンパ5はそれぞれ所定のバンパ材5a、5Aと接触するものの、第二のバンパ6は設計とは異なる回路が第二のバンパ材6Bと6aで形成されることになる。しかし、図2(b)に示すように、第一のバンパ5が溶融した時点で矢印で示す方向に表面張力が働き、表面張力の働かない固相状態の第二のバンパ材6B、6aの誤った回路は開放される。この結果、図2(c)に示すようにセルフアライメントが可能となる。さらに、第二のバンパの融点以上に加熱・接触させることによって接続は完了する。このように、フリップチップによるフェイスダウンアセンブリにおいて50 μ mピッチレベルの高密度化が信頼性高く行える。

【0020】また、図1、図2に示すように上記実施例においては、第一のバンパ5、即ち第一のバンパ材5a、5AはICチップ2の隅に形成したが、有効な表面張力が働けば、ここに限定するわけではない。すなわち、図3(a)(b)の平面図に示すように、平行方向の位置ずれに関してはバンパがICチップ面内のどこに形成されていても同様の表面張力が働く。しかし、回転方向に関してはICチップの周辺では回転力として働くが、中心では効果がない。したがって、第一のバンパ5の位置、形状は以上の点を考慮して、配置する。

【0021】また、表面張力はバンパそれぞれに働き、その力の総和をもってICチップ2を動かすため、第一のバンパ5の数はこの点を考慮すれば容易に設計できる。

【0022】なお、図1、図2の上記実施例においては第一のバンパ5、即ち第一のバンパ材5a、5Aの形状は球形として説明したが、この形状に限ることはなく、第一のバンパ5の表面張力によってICチップ2が移動し、高精度位置ぎめができれば良い。たとえば、ICチップ2の外周近傍に沿った複数の直方体にすることによって表面張力が働き、セルフアライメントが可能となる。但し、バンパが長くなるとバンパ材料の流動が生じ、基板1とICチップ2間のクリアランスが変化し、不良の原因となるので注意を要する。

【0023】また、上記実施例においてははんだバンパの場合について説明したが、はんだ以外のほかの材料においても蒸着などの方法で形成でき、かつ同様の効果を期待できることはいうまでもない。

【0024】また、上記実施例においてはバンパ材を基板側、ICチップ側両方に形成した場合について説明したが、必ずしも両方に形成する必要はなく、少なくとも

どちらか一方に形成すれば良い。

【0025】さらに、上記実施例においてはバンパ材をバンパと同一材料で形成した場合について説明したが、バンパ材をバンパと異なる材料とし、基板側、ICチップ側のバンパ材により所望のバンパ材料(組成)となるようにしても良い。

【0026】実施例3. この例を図4の断面模式図にて説明する。基板1側には第一のバンパ材5A、5Bのみを形成し、ICチップ2側には第一のバンパ材5a、5b及び第二のバンパ材6a、6bを形成する。材料としては、例えば基板1側の第一のバンパ材5A、5BにはSnを、ICチップ2側の第一のバンパ材5a、5b、第二のバンパ材6a、6bにはそれぞれ95Pb5Snを選定する。以上のような半導体装置を構成した場合の製造方法は前記と同様であるが、第一のバンパ材の材料が基板側とICチップ側で異なるため、加熱によりまず基板1側の第一のバンパ材5A、5BとICチップ側の第一のバンパ材5a、5bとが反応しPbSnの合金組成になり、溶融する。この反応形成されたPbSn、即ち第一のバンパの組成比すなわち融点は基板1、ICチップ2側のそれぞれの第一のバンパ材のサイズによって制御できる。例えば上記組成でサイズが同一であれば第一のバンパはPb47.5Sn52.5の組成で融点は約200 $^{\circ}$ Cとなり、第二のバンパ即ち第二のバンパ材の融点(約310 $^{\circ}$ C)より低くなり、かつサイズは倍になる。次に、第二のバンパの融点以上に加熱・加圧接触させることによって接続される。要は第二のバンパが第一のバンパより融点が高くかつサイズが小さくなるよう半導体装置を構成すれば、上記実施例と同様の効果が得られる。なお、この実施例においては、バンパ材を形成する箇所とバンパ材の種類を特定したため、すなわち基板側とICチップ側それぞれに同一種類・同一高さのバンパ材を形成するのみで良くしたため、バンパ材の形成プロセスが簡略化でき、工業的価値は大幅に向上する。

【0027】なお、上記実施例においては第一のバンパ、第二のバンパともに入出力電極上に形成したが、第一のバンパを位置ぎめ用のダミーバンパ、第二のバンパをICチップと基板の電氣的信号のやりとりを行う入出力電極上のバンパとしても差し支えない。

【0028】

【発明の効果】以上説明したように、本発明の半導体装置は、ICチップと基板とを接続するバンパをセルフアライメントを行う第一のバンパ、及びこの第一のバンパより融点が高くサイズの小さい第二のバンパで構成するようにしたので、第一のバンパでセルフアライメントを行い容易に高精度に位置ぎめ接続でき、第二のバンパを用いて高密度の接続ができ、実装の高密度化に対応できる。高精度位置ぎめ装置を用いなくとも従来の装置でセルフアライメントによって接続ミスを生じることなく高密度フリップチップ接合ができる。

7

【0029】また、上記半導体装置の実装方法は、ICチップまたは基板に 溶融接合後第一の bumps を形成する第一の bumps 材と溶融接合後第二の bumps を形成する第二の bumps 材とを形成する工程、第一の bumps 材のみを溶融させて第一の bumps を形成し上記 ICチップの高精度位置ぎめをする工程、並びに位置ぎめ工程後第一の bumps 及び第二の bumps 材を溶融・加圧し第二の bumps を形成する工程を施すものである。

【0030】さらに、第一及び第二の bumps を溶融させた状態で加圧力を除去した後冷却し、bumps を凝固させるようにしたので、接続後の bumps の形状を制御することによって、長期信頼性を向上することができる。

【0031】そして、ICチップまたは基板のいずれか一方に第一 bumps 材と第二 bumps 材を同じ材料で同じ高さに形成し、他方には第一 bumps 材のみを上記材料と異なる材料で形成するようにしたので、bumps 材の形成プロセスが簡略化できる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置の実装方法を工

8

程順に示す断面模式図である。

【図2】本発明の半導体装置の実装方法に係わる動作を説明する断面模式図である。

【図3】本発明に係わる第一の bumps の位置とセルフアライメントの効果を説明する平面図である。

【図4】本発明の他の実施例の半導体装置の実装方法を示す断面模式図である。

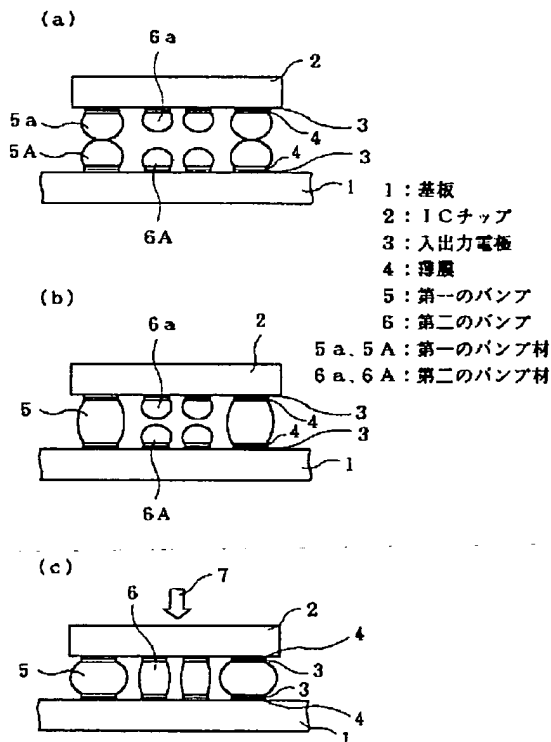
【図5】従来の半導体装置の実装方法を順に示す断面模式図である。

【図6】従来の高密度化された半導体装置を示す断面模式図である。

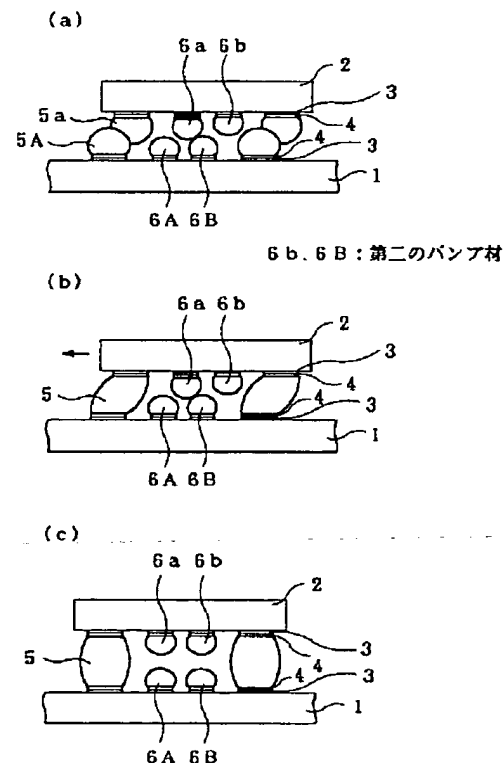
【符号の説明】

- 1 基板
- 4 薄膜
- 5 第一の bumps
- 5 a, 5 A, 5 b, 5 B 第一の bumps 材
- 6 第二の bumps
- 6 a, 6 A, 6 b, 6 B 第二の bumps 材
- 7 加圧力

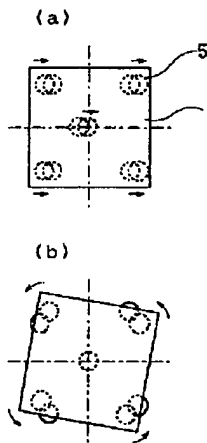
【図1】



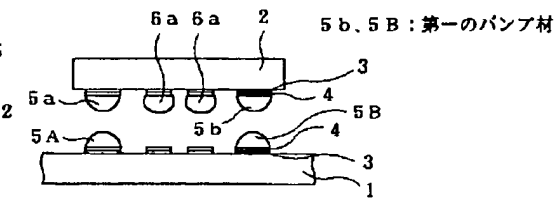
【図2】



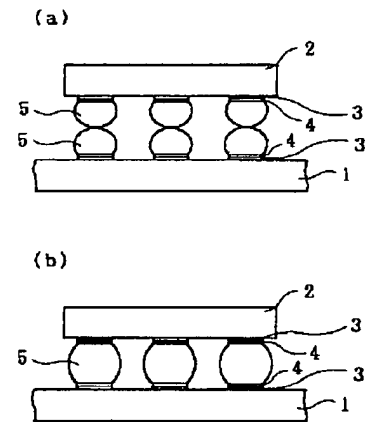
【図3】



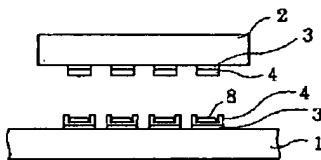
【図4】



【図5】



【図6】



【手続補正書】

【提出日】平成4年12月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正内容】

【請求項4】 ICチップまたは基板のいずれか一方に第一のバンパ材と第二のバンパ材を同じ材料で形成し、他方には第一のバンパ材のみを上記材料と異なる材料で形成するようにしたことを特徴とする請求項第2項または第3項記載の半導体装置の実装方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】そして、ICチップまたは基板のいずれか一方に第一のバンパ材と第二のバンパ材とを同じ材料で形成し、他方には第一バンパ材のみを上記材料と異なる材料で形成するようにした。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】そして、ICチップまたは基板のいずれか一方に第一バンパ材と第二バンパ材を同じ材料で形成し、他方には第一バンパ材のみを上記材料と異なる材料で形成しており、バンパ材の形成プロセスが簡略化できる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】実施例3. この例を図4の断面模式図にて説明する。基板1側には第一のバンパ材5A、5Bのみを形成し、ICチップ2側には第一のバンパ材5a、5b及び第二のバンパ材6a、6bを形成する。材料としては、例えば基板1側の第一のバンパ材5A、5BにはSnを、ICチップ2側の第一のバンパ材5a、5b、第二のバンパ材6a、6bにはそれぞれ95Pb5Snを選定する。以上のような半導体装置を構成した場合の製造方法は前記と同様であるが、第一のバンパ材の材料

が基板側とICチップ側で異なるため、加熱によりまず基板1側の第一のバンパ材5A、5BとICチップ側の第一のバンパ材5a、5bとが反応しPbSnの合金組成になり、熔融する。この反応形成されたPbSn、即ち第一のバンパの組成比すなわち融点は基板1、ICチップ2側のそれぞれの第一のバンパ材のサイズによって制御できる。例えば上記組成でサイズが同一であれば第一のバンパはPb47.5Sn52.5の組成で融点は約200℃となり、第二のバンパ即ち第二のバンパ材の融点(約310℃)より低くなり、かつサイズは倍になる。次に、第二のバンパの融点以上に加熱・加圧接触させることによって接続される。要は第二のバンパが第一のバンパより融点が高くかつサイズが小さくなるよう半導体装置を構成すれば、上記実施例と同様の効果が得られる。なお、この実施例においては、バンパ材を形成する箇所とバン

パ材の種類を特定したため、すなわち基板側とICチップ側それぞれに同一種類・ほぼ同一高さのバンパ材を形成するのみで良くしたため、バンパ材の形成プロセスが簡略化でき、工業的価値は大幅に向上する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】そして、ICチップまたは基板のいずれか一方に第一バンパ材と第二バンパ材を同じ材料で形成し、他方には第一バンパ材のみを上記材料と異なる材料で形成するようにしたので、バンパ材の形成プロセスが簡略化できる。

フロントページの続き

(51)Int. Cl.⁵
H01L 27/15

識別記号 庁内整理番号
8934-4M

FI

技術表示箇所